Trabajo Práctico 9 - Taller de Arquitectura

Multiplicador de 4 bits



Ringuelet Pedro

02960/7

**Índice**

[1. Introducción 3](#_Toc181320761)

[2. Desarrollo 3](#_Toc181320762)

[2.1 Acumulador 3](#_Toc181320763)

[2.2 Multiplicador de 4 bits 4](#_Toc181320764)

[3. Testbench y Validación 6](#_Toc181320765)

[3.1 Selección de Datos de Prueba 6](#_Toc181320766)

[3.2 Simulación y Verificación 7](#_Toc181320767)

[4. Análisis de Tiempos 8](#_Toc181320769)

[4.1 Caso 1(9 × 2) 8](#_Toc181320770)

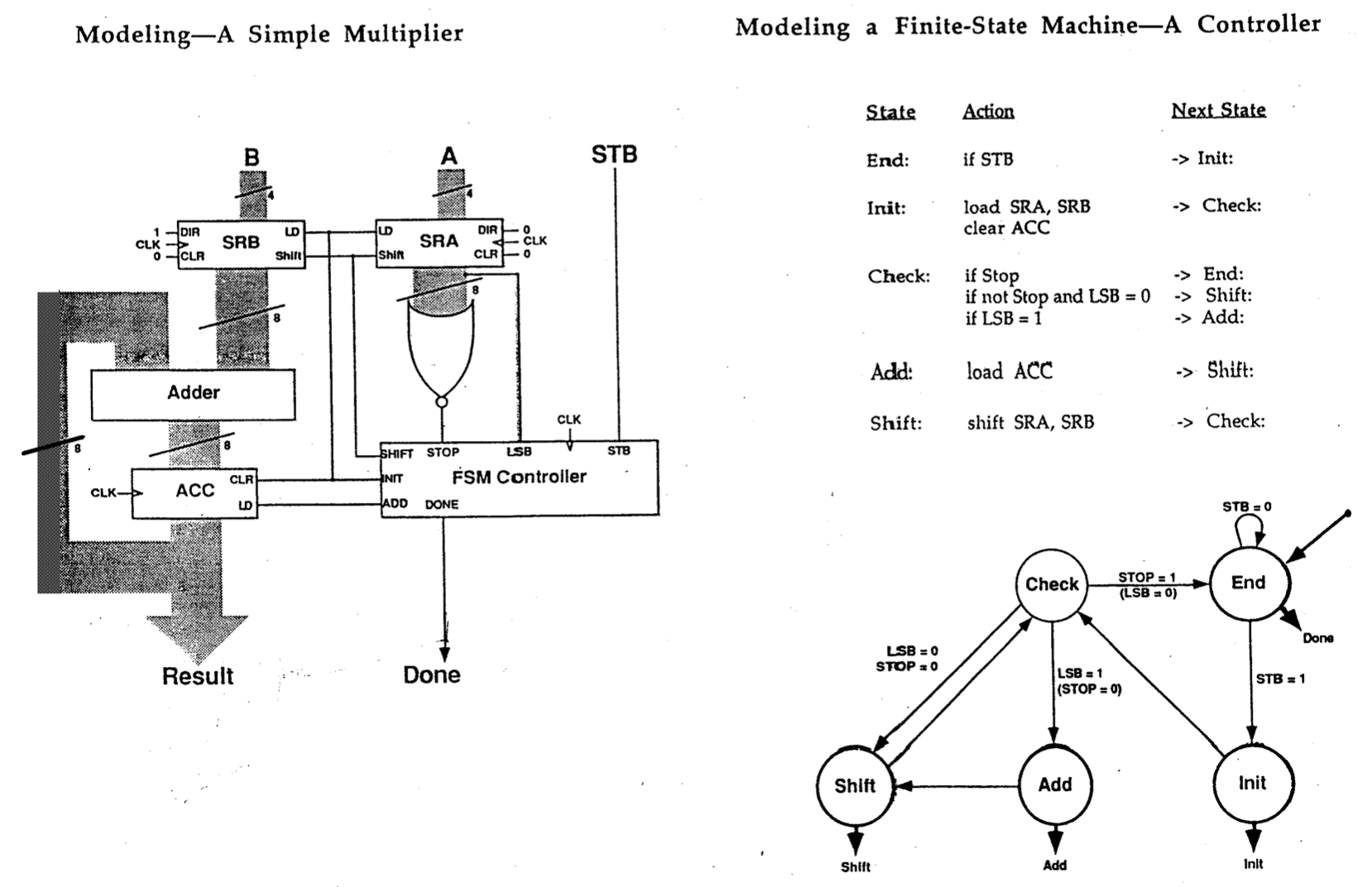
[4.2 Caso 2(2 × 9) 9](#_Toc181320771)

[4.3 Cálculo de XX 9](#_Toc181320772)

[5. Conclusión 9](#_Toc181320773)

# 1. Introducción

Este trabajo práctico tiene como objetivo el desarrollo e implementación de un multiplicador de 4 bits sin signo, utilizando componentes previamente diseñados en los Trabajos Prácticos 2 a 8. La implementación del multiplicador se realiza mediante una arquitectura controlada por una máquina de estados, que gestiona los pasos de carga, desplazamiento y acumulación necesarios para completar la operación de multiplicación. Para validar el funcionamiento del multiplicador, se construyó un testbench que simula la multiplicación de dos valores basados en el número de legajo del alumno. Además, se realiza un análisis de los tiempos de operación del circuito, considerando un reloj de **XX MHz**, y se comparan los tiempos de cálculo para A×B y B×A con el fin de verificar si son equivalentes.



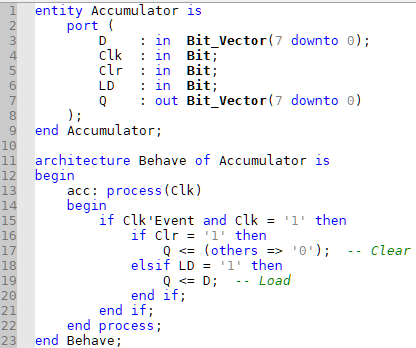
***Figura 1*:** Multiplicador y FSM

# 2. Desarrollo

## 2.1 Acumulador

El Acumulador es un componente fundamental en la operación de multiplicación, ya que almacena el resultado parcial en cada ciclo y permite acumular la suma de los productos parciales. Su configuración incluye:

* **D**: Entrada de datos que representa el valor de la suma parcial generada por el sumador **Adder8**.
* **Clk**: Señal de reloj que sincroniza el proceso de carga y reinicio del acumulador.
* **Clr**: Señal de limpieza que restablece el valor del acumulador a 0 cuando se activa, usada al inicio de la multiplicación.
* **LD**: Señal de carga que habilita la actualización del valor en el acumulador con el valor de D.
* **Q**: Salida del acumulador que almacena el resultado parcial en cada ciclo y se actualiza en el siguiente ciclo de reloj, acumulando hasta que la operación de multiplicación esté completa.



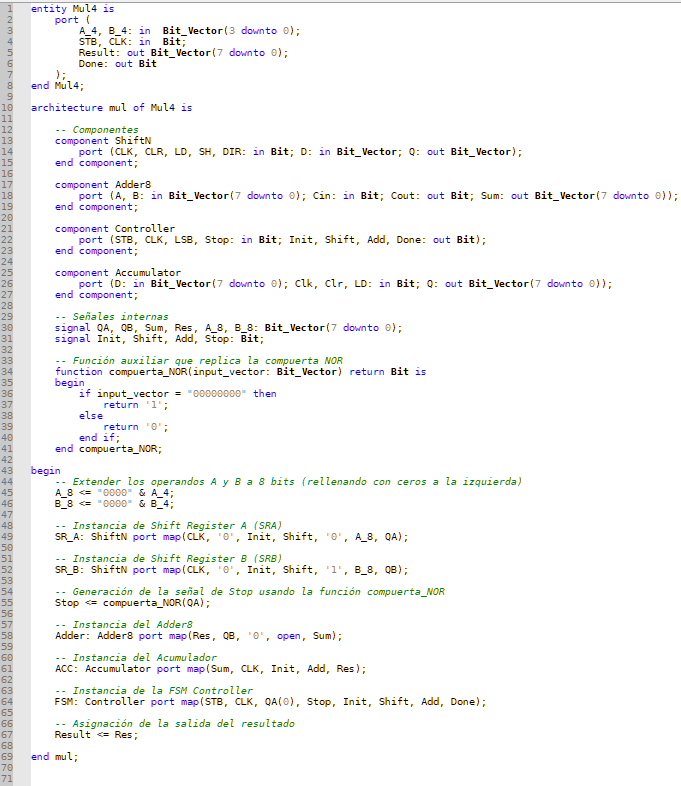
***Figura 2***: Codigo del Acumulador

Este mecanismo permite que el acumulador actualice el resultado de forma acumulativa en cada ciclo de multiplicación, hasta que se completa la operación y el resultado final está disponible.

## 2.2 Multiplicador de 4 bits

El multiplicador de 4 bits realiza la multiplicación entre dos números binarios sin signo de 4 bits, produciendo un resultado de 8 bits. Este diseño sigue una arquitectura controlada por una máquina de estados que coordina el flujo de la operación de multiplicación. Los componentes clave del multiplicador son:

1. **SR\_A (Shift Register A)**: Registro de desplazamiento que toma el operando A\_8 y lo desplaza hacia la derecha en cada ciclo. Este desplazamiento permite que el bit menos significativo (LSB) sea evaluado en cada ciclo, determinando si se activa la suma con **Adder8**.
2. **SR\_B (Shift Register B)**: Registro de desplazamiento que toma el operando B\_4 y lo desplaza hacia la izquierda en cada ciclo.
3. **Adder8**: Sumador de 8 bits que se usa para sumar el contenido del acumulador con el valor desplazado de **SR\_B** cuando el LSB en **SR\_A** es 1.
4. **Controller FSM**: Máquina de estados finitos que controla la operación del multiplicador. Los estados de la máquina son:
   * **Init**: Inicializa los registros de desplazamiento y el acumulador.
   * **Check**: Evalúa el LSB de **SR\_A**; si es 1, activa la señal de suma (**Add**); si es 0, pasa al siguiente estado de desplazamiento.
   * **Add**: Suma el valor en el acumulador con el valor de **SR\_B** desplazado.
   * **Shift**: Desplaza los registros **SR\_A** a la derecha y **SR\_B** a la izquierda.
   * **End**: indica la finalización de la operación de multiplicación y activa la señal Done.
   * **Done:** se activa una vez que el proceso de multiplicación ha concluido, permitiendo verificar que el resultado en **Result** es el final.
5. **Accumulator**: Componente acumulador, que recibe el valor parcial sumado y lo almacena para la siguiente iteración. Este acumulador se encarga de llevar el resultado parcial en cada ciclo hasta que la multiplicación está completa.



***Figura 3***: Codigo del Multiplicador

# 3. Testbench y Validación

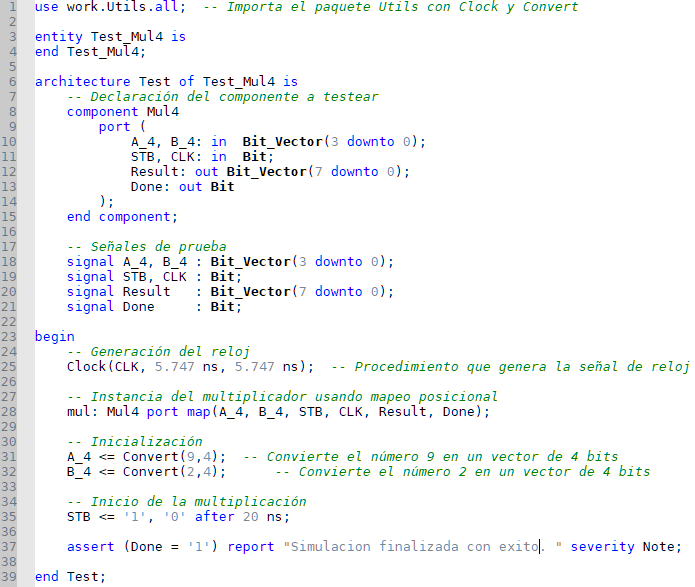
## 3.1 Selección de Datos de Prueba

Para la prueba del multiplicador, se seleccionaron los siguientes valores de acuerdo al número de legajo 0290/7:

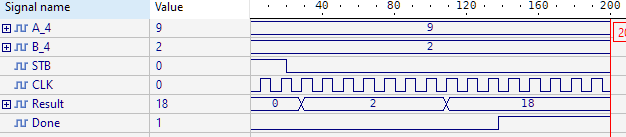
* **A**: Dígito de mayor valor del legajo (9).
* **B**: Dígito de menor valor del legajo distinto de 0 (2).

## 3.2 Simulación y Verificación

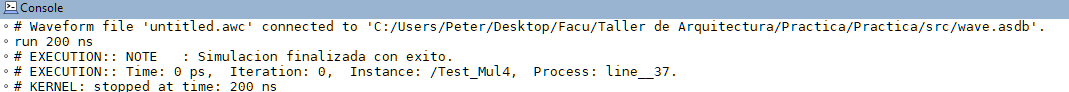
La simulación se realizó para verificar que el multiplicador produce el resultado correcto para los valores seleccionados. Se adjunta la imagen de la simulación que muestra el funcionamiento del multiplicador con las entradas A = 9 y B = 2. El resultado esperado de la multiplicación es 9×2=18. La simulación muestra que el circuito genera el resultado correcto, y la señal Done se activa al completar la operación, validando el funcionamiento del multiplicador.



***Figura 4***: Codigo del Testbench



***Figura 5***: Waveform de A(9) x B(2)



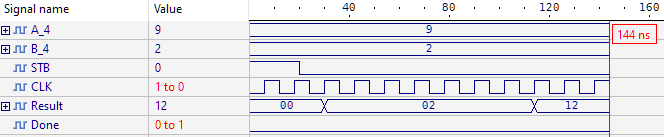
***Figura 6***: Visualización del assert en la consola

# 4. Análisis de Tiempos

Para un reloj de **87 MHz**, el período del ciclo de reloj es aproximadamente 11.49 ns (calculado como 1/(87MHz) convertido a nanosegundos). El tiempo total de multiplicación depende de la cantidad de ciclos necesarios para completar las operaciones de carga, desplazamiento y suma.

## ****4.1 Caso 1(9 × 2)****

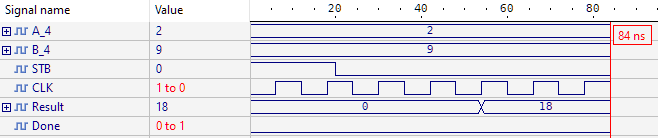
Se realizó una prueba con la operación 9 × 2 para medir el tiempo de multiplicación. El tiempo resultante fue de 144 ns, el cual corresponde al instante en que la señal Done está cambiando de 0 a 1. Esto implica que, un instante después, Done valdrá 1, confirmando que el resultado final está disponible en Result. Aunque Result puede contener el valor correcto antes de este cambio, hasta que Done no sea 1, la salida podría considerarse no confiable, ya que podría contener ruido. Por lo tanto, es necesario esperar a que Done sea 1 para asegurar que el valor en Result sea válido.



***Figura 7***: 9x2 en el instante antes de que done cambie de 0 a 1

## ****4.2 Caso 2(2 × 9)****

Para la operación inversa 2 × 9, el tiempo de multiplicación fue de 84 ns, momento en el cual la señal Done está cambiando de 0 a 1. Esto significa que un instante después, Done valdrá 1, confirmando que el valor en Result es definitivo y confiable. Aunque el valor en Result podría estar presente antes de este cambio, es esencial esperar a que Done sea 1 para garantizar la validez del resultado y evitar posibles lecturas de datos no confiables.



***Figura 8***: 2x9 en el instante antes de que done cambie de 0 a 1

## 4.3 Cálculo de XX

Según la regla, dado que el número de legajo es mayor a 2000 y menor de 3000, se multiplica por 3 los dos primeros dígitos significativos (29). Esto da como resultado:

XX = 29 × 3 = 87

# 5. Conclusión

Al comparar los dos casos, observamos que la multiplicación es 60 ns más rápida cuando el operando A es el menor (0010) en lugar de ser el mayor (1001). Esta diferencia en tiempo se debe a que un operando con menos bits significativos en 1 requiere menos desplazamientos y sumas parciales para completar la multiplicación, reduciendo así los ciclos de reloj necesarios. Este hallazgo destaca la importancia de asignar el operando con menos bits activos a A en aplicaciones donde se busca optimizar la velocidad de procesamiento.

En conclusión, al asignar el operando menor al valor de A, se logra una reducción en los tiempos de ejecución. En este caso, la diferencia se traduce en aproximadamente 5 ciclos de reloj, lo que representa una mejora relevante en rendimiento para aplicaciones que priorizan la eficiencia en operaciones aritméticas rápidas.